

**PATENT APPLICATION**  
**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Masaya OTOKAWA

Appln. No.: 10/077,759

Confirmation No.: 3463

Filed: February 20, 2002

For: SERIAL COMMUNICATION DEVICE



Attorney Docket Q68514

Group Art Unit: Not yet assigned

Examiner: Not yet assigned

**SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
Washington, D.C. 20231

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Robert V. Sloan".

Robert V. Sloan  
Registration No. 22,775

SUGHRUE MION, PLLC  
2100 Pennsylvania Avenue, N.W.  
Washington, D.C. 20037-3213  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

Enclosures: **Certified Copy of Japanese Patent application no. 2001-044887**

Date: May 10, 2002

W 7540 (米)

Q68514

10/077,759

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 2月21日

出 願 番 号

Application Number: 特願2001-044887

[ST.10/C]:

[JP2001-044887]

出 願 人

Applicant(s):

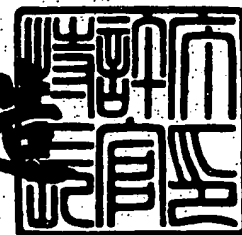
アイシン精機株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2002年 3月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 PY20010037

【提出日】 平成13年 2月21日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

    【住所又は居所】 愛知県刈谷市朝日町2丁目1番地 アイシン精機 株式  
                                会社 内

    【氏名】 音川 昌也

【特許出願人】

    【識別番号】 000000011

    【氏名又は名称】 アイシン精機 株式会社

【代理人】

    【識別番号】 100068755

    【弁理士】

    【氏名又は名称】 恩田 博宣

【選任した代理人】

    【識別番号】 100105957

    【弁理士】

    【氏名又は名称】 恩田 誠

【手数料の表示】

    【予納台帳番号】 002956

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9909940

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアル通信装置

【特許請求の範囲】

【請求項 1】 外部からの同期シリアル通信用クロック信号を受け、該同期シリアル通信用クロック信号に同期して、パリティビットを含む所定ビット数の所定数のフレームからなる通信データを他の電子回路との間でビットごとに通信するシリアル通信装置において、

前記同期シリアル通信用クロック信号に同期して前記通信データを所定ビット数カウントした時点で通信完了状態信号を出力するモニタ回路と、

前記通信完了状態信号の出力に同期して前記パリティビットによる通信内容のチェックを行うチェック回路とを備えたことを特徴とするシリアル通信装置。

【請求項 2】 外部からの同期シリアル通信用クロック信号を受け、該同期シリアル通信用クロック信号に同期して、パリティビットを含む所定ビット数の所定数のフレームからなる通信データを他の電子回路との間でビットごとに通信するシリアル通信装置において、

前記同期シリアル通信用クロック信号に同期して前記通信データを所定ビット数カウントした時点で通信完了状態信号を出力するモニタ回路と、

前記通信完了状態信号が前記同期シリアル通信用クロック信号に同期して前記パリティビットによる通信内容のチェックを行うチェック回路とを備えたことを特徴とするシリアル通信装置。

【請求項 3】 外部からの活性化信号及び同期シリアル通信用クロック信号を受け、該活性化信号による活性状態にある間において、該同期シリアル通信用クロック信号に同期して、パリティビットを含む所定ビット数の所定数のフレームからなる通信データを他の電子回路との間でビットごとに通信するシリアル通信装置において、

前記活性化信号による活性状態が非活性状態になったときに前記パリティビットによる通信内容のチェックを行うチェック回路を備えたことを特徴とするシリアル通信装置。

【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

本発明は、自らは回路動作のクロックを持たず、外部からの同期シリアル通信クロック信号に同期してパリティビットを含む所定ビット数の所定数のフレームからなる通信データを、他の電子回路との間でビットごとに通信するシリアル通信装置に関するものである。

## 【 0 0 0 2 】

## 【従来の技術】

従来、電子回路においてマイクロコントローラ等の指示に基づき動作させる場合、その指示内容の通信方法として大きく分けてシリアル通信とパラレル通信との2種類の方法がある。

## 【 0 0 0 3 】

## 【発明が解決しようとする課題】

回路動作クロック（同期シリアル通信クロック信号以外のクロック）を持つデジタル回路の場合は、パラレル通信、シリアル通信の両方を採用可能である。しかしながら、回路動作クロックを持たないアナログ回路やデジタル回路の場合は、通常はマイクロコントローラ等の指示を直接通信可能なパラレル通信の採用が基本である。そのため、このようなアナログ回路やデジタル回路で指示内容に基づく動作をさせる場合は、パラレル通信を採用する必要性があり、端子数が多くなって実装面積及び集積回路のコストも増大する。

## 【 0 0 0 4 】

こうした回路動作クロックを持たないデジタル回路に対して、マイクロコントローラ等の指示内容の通信をシリアル通信で行い、この指示内容をシリアルーパラレル変換する通信方法も知られている。そして、こうしたシリアルーパラレル変換用の汎用の論理回路も存在する（例えば、「富士通半導体デバイスDATA SHEET ; DS03-82401-2」など）。しかしながら、こうした論理回路では、通信内容のチェックを行わずに通信してしまうため、車載用途の電子制御装置等、信頼性が要求される分野への応用は難しい。

## 【 0 0 0 5 】

こうした問題を鑑みて、車載用途の電子制御装置等には回路動作クロックを持つデジタル回路を採用することも考えられる。しかし、この場合には、このクロック周波数を通倍した周波数の雑音が発生し、電子制御装置外部に漏出することがある。そしてこの雑音漏出が、例えば他の電子機器の不具合の原因となることがある。そのため、電子制御装置内部の電子回路には、できる限り余分なクロックを用いないようにすることが好ましい。

## 【 0 0 0 6 】

さらに、アナログ回路とデジタル回路とを混載した集積回路で、回路動作クロックを持つデジタル回路を有する場合、回路動作クロックを生成するためにその生成に係る発振子と接続される分、例えば同発振子が故障したり発振子との接続不良が発生したりして、集積回路全体として発生する不具合の確率も大きくなってしまう。

## 【 0 0 0 7 】

本発明の目的は、回路動作クロックを持つことなくシリアル通信が可能で、通信内容のチェックも可能なシリアル通信装置を提供することにある。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

上記問題点を解決するために、請求項 1 に記載の発明は、外部からの同期シリアル通信用クロック信号を受け、該同期シリアル通信用クロック信号に同期して、パリティビットを含む所定ビット数の所定数のフレームからなる通信データを他の電子回路との間でビットごとに通信するシリアル通信装置において、前記同期シリアル通信用クロック信号に同期して前記通信データを所定ビット数カウントした時点で通信完了状態信号を出力するモニタ回路と、前記通信完了状態信号の出力に同期して前記パリティビットによる通信内容のチェックを行うチェック回路とを備えたことを要旨とする。

## 【 0 0 0 9 】

請求項 2 に記載の発明は、外部からの同期シリアル通信用クロック信号を受け、該同期シリアル通信用クロック信号に同期して、パリティビットを含む所定ビット数の所定数のフレームからなる通信データを他の電子回路との間でビットご

とに通信するシリアル通信装置において、前記同期シリアル通信用クロック信号に同期して前記通信データを所定ビット数カウントした時点で通信完了状態信号を出力するモニタ回路と、前記通信完了状態信号が前記同期シリアル通信用クロック信号に同期して前記パリティビットによる通信内容のチェックを行うチェック回路とを備えたことを要旨とする。

## 【 0 0 1 0 】

請求項 3 に記載の発明は、外部からの活性化信号及び同期シリアル通信用クロック信号を受け、該活性化信号による活性状態にある間において、該同期シリアル通信用クロック信号に同期して、パリティビットを含む所定ビット数の所定数のフレームからなる通信データを他の電子回路との間でビットごとに通信するシリアル通信装置において、前記活性化信号による活性状態が非活性状態になったときに前記パリティビットによる通信内容のチェックを行うチェック回路を備えたことを要旨とする。

## 【 0 0 1 1 】

## (作用)

請求項 1 ～ 3 のいずれかに記載の発明によれば、シリアル通信装置を外部からの同期シリアル通信用クロック信号（及び活性化信号）により動作させられ、通信内容のチェックも併せ行える。例えば、電子制御装置においてマイクロコントローラ以外の入出力を司る回路（シリアル通信装置）は全て、同マイクロコントローラからの同期シリアル通信用クロック信号により動作させることで、電子制御装置内部に必要なクロック数は最小限に抑制される。そして、電子制御装置外部に漏出する高周波ノイズも低減される。

## 【 0 0 1 2 】

また、このようなシリアル通信装置に対しては、外部の発振子に接続して同期させて動作させる必要がないため、例えば発振子との接続が外れることによるデジタル回路や集積回路全体の動作不良の発生も回避される。

## 【 0 0 1 3 】

さらに、外部の発振子を使うことなくシリアル通信が可能なため、例えば外部部品を追加することなくアナログ回路だけの集積回路でも、通信内容のチェック

をしつつ、信頼性の高いシリアル通信が可能となる。

【0014】

【発明の実施の形態】

以下、本発明を具体化した一実施形態について図1～図3に従って説明する。

図3は、本実施形態が適用される車載用電子制御装置（以下、「ECU」という）1を示すブロック図である。なお、ECU1による各種機器の制御は数msecサイクルで行っており、マイコン（マイクロコントローラ）2はその1サイクルに1度、所要の外部装置との間で通信データの入出力を完了する。すなわち、マイコン2と外部装置とはシリアル接続されており、マイコン2は上記サイクル内で通信が完了する通信速度にて外部装置との間で通信データの入出力を行い、各種機器を制御する。

【0015】

例えば、マイコン2は、入出力インターフェース4をアクティブにするために入出力インターフェース4へと出力する活性化信号としてのチップセレクト信号 $\overline{CS}$ を生成する。図2（a）に示されるように、このチップセレクト信号 $\overline{CS}$ は、通常はH（ハイ）レベルにあり、上記入出力インターフェース4をアクティブにするときのみL（ロー）レベルとなる。

【0016】

また、マイコン2は、発振子3において生成された発振信号に基づき入出力インターフェース4へと出力する基準となる同期シリアル通信用クロック信号としてのクロック信号SCLKを生成する。図2（b）に示されるように、このクロック信号SCLKは、通常はHレベルにあり、上記チップセレクト信号 $\overline{CS}$ がLレベルにあって入出力インターフェース4がアクティブのときに、所定時間ごとに複数回（8回）のHレベルからLレベルへの立ち下がりとLレベルからHレベルへの立ち上がりを繰り返す2つ信号群となる。

【0017】

さらに、マイコン2は、各種IC（集積回路、図示略）の出力設定状態に基づき、入出力インターフェース4に指示する通信データとしてのシリアルデータSINを生成する。図2（c）に示されるように、このシリアルデータSINは、



所定 IC の出力設定状態を表す各 1 ビットのデータ RY0～RY6 及びこれらデータ RY0～RY6 に基づくパリティビット P からなる 8 ビットデータのフレームと、他の IC の出力設定状態を表す各 1 ビットのデータ RY7～RY13 及びこれらデータ RY7～RY13 に基づくパリティビット P からなる 8 ビットデータのフレームとによって 1 パケットを形成している。換言すると、上記チップセレクト信号  $\overline{CS}$  は、これら 2 つのフレームからなる 1 パケットの通信中は、入出力インターフェース 4 がアクティブになるように L レベルにある。なお、各パリティビット P は、各フレーム内の「1」の個数が偶数（あるいは、奇数）になるようにしてデータ転送（通信内容）の誤りを検出するためのものである。

## 【0018】

なお、各連続するデータ RY0～RY6 及びパリティ P、同データ RY7～RY13 及びパリティ P は、上記クロック信号 SCLK の H レベルから L レベルへの立ち下がりに同期して順次、通信されている。

## 【0019】

入出力インターフェース 4 は、上記マイコン 2 からのチップセレクト信号  $\overline{CS}$ 、クロック信号 SCLK 及びシリアルデータ SIN を入力する。そして、これら信号等の状態に従ってシリアルデータ SIN をシリアル-パラレル変換したパラレルデータ D[13:0] をデータバス 5 から各種機器に出力する。

## 【0020】

図 1 は、本実施形態の入出力インターフェース 4 を示すブロック図である。同図に示されるように、この入出力インターフェース 4 は、受信バッファ 11、モニタ回路を構成するカウンタ 12、デコーダ 13、データセクタ 14、チェック回路としてのパリティチェック 15、モニタ回路を構成するカウンタクリア 16、第 1 出力バッファ 17 及び第 2 出力バッファ 18 を備えている。

## 【0021】

受信バッファ 11 は、例えば 8 ビットシフトレジスタであって、シリアルデータをパラレルデータに変換して記憶する。この受信バッファ 11 には、チップセレクト信号  $\overline{CS}$ 、クロック信号 SCLK 及びシリアルデータ SIN を入力する各端子 10a, 10b, 10c が接続されている。受信バッファ 11 は、チップ

セレクト信号 $\overline{\text{CS}}$ がLレベルにある間において、クロック信号SCLKのHレベルからLレベルへの立ち下がりに同期して、シリアルデータSINのデータRY0～RY6及びパリティP、若しくは、同データRY7～RY13及びパリティPを順次、シフトしてその8つの出力Q[7:0]から個別に出力可能な状態で記憶する。

#### 【0022】

上記カウンタ12は、例えば4ビットカウンタであって、受信したデータ（シリアルデータSINのデータRY0～RY6及びパリティP、データRY7～RY13及びパリティP）の数をカウントする。このカウンタ12には、チップセレクト信号 $\overline{\text{CS}}$ 及びクロック信号SCLKを入力する各端子10a, 10bが接続されている。図2(d)に示されるように、カウンタ12は、チップセレクト信号 $\overline{\text{CS}}$ がLレベルにある間において、クロック信号SCLKのLレベルからHレベルへの立ち上がりに同期して、シリアルデータSINのデータRY0～RY6及びパリティP、データRY7～RY13及びパリティPの数をカウントする。

#### 【0023】

なお、カウンタ12は、チップセレクト信号 $\overline{\text{CS}}$ のLレベルへの移行後の1回目のフレーム（データRY0～RY6及びパリティP）内のデータ数を「1」～「8」までカウントすると、一旦、カウントをクリアする。そして、新たに2回目のフレーム（データRY7～RY13及びパリティP）内のデータ数を「1」～「8」までカウントする。

#### 【0024】

詳述すると、カウンタ12の出力はデコーダ13に入力されており、図2(e)に示されるように1回目のフレームに対する同カウンタ12の「8」のカウントに同期してデコーダ13の出力QはLレベルからHレベルに移行するようになっている。これにより1回目のフレームの通信完了状態が設定される。そして、デコーダ13の出力Qは、次のクロック信号SCLKのHレベルからLレベルへの立ち下がりに同期して再びLレベルに戻る。これにより2回目のフレームの通信開始状態が設定される。このデコーダ13の出力Qが前記カウンタクリア16

を介してカウンタ 1 2 に入力されることでカウンタ 1 2 のカウントがクリアされるようになっている。

## 【 0 0 2 5 】

また、図 2 ( e ) に示されるように 2 回目のフレームに対する同カウンタ 1 2 の「 8 」のカウントに同期してデコーダ 1 3 の出力 Q は再び L レベルから H レベルに移行するようになっている。これにより 2 回目のフレームの通信完了状態が設定される。そして、デコーダ 1 3 の出力 Q は、上記チップセレクト信号  $\overline{CS}$  の L レベルから H レベルへの立ち上がりに同期して再び L レベルに戻る。すなわち、入出力インターフェース 4 がアクティブでなくなり、パケットの通信完了状態が設定される。このデコーダ 1 3 の出力 Q が前記カウンタクリア 1 6 を介してカウンタ 1 2 に入力されることでカウンタ 1 2 のカウントがクリアされるようになっている。

## 【 0 0 2 6 】

上記データセクタ 1 4 には、チップセレクト信号  $\overline{CS}$  及びデコーダ 1 3 の出力 Q が入力されている。図 2 ( f ) に示されるように、通常はこのデータセクタ 1 4 は L レベルにある信号 D 1 をその出力 Q から第 1 及び第 2 出力バッファ 1 7, 1 8 に出力する。そして、チップセレクト信号  $\overline{CS}$  が L レベルにある間において、 1 回目のフレームに対応してデコーダ 1 3 の出力 Q が L レベルから H レベルに移行すると、この立ち上がりに同期して H レベルにある信号 D 0 をその出力 Q から第 1 及び第 2 出力バッファ 1 7, 1 8 に出力する。このとき、第 1 出力バッファ 1 7 のみを活性化するようになっている。続いて、 2 回目のフレームに対応してデコーダ 1 3 の出力 Q が L レベルから H レベルに移行すると、この立ち上がりに同期して L レベルにある信号 D 1 をその出力 Q から第 1 及び第 2 出力バッファ 1 7, 1 8 に出力する。このとき、第 2 出力バッファ 1 8 のみを活性化するようになっている。

## 【 0 0 2 7 】

上記パリティチェック 1 5 には、受信バッファ 1 1 の各出力 Q [ 7 : 0 ] が個別にその入力 D  $\overline{IN}$  [ 7 : 0 ] に入力されており、各フレーム（データ RY 0 ~ RY 6 及びパリティ P、若しくは、データ RY 7 ~ RY 1 3 及びパリティ P）

内の「1」の個数が偶数（あるいは、奇数）になっているか否かを確認してデータ転送の誤りを検出する。このパリティチェック15には、チップセレクト信号 $\overline{\text{CS}}$ 及びクロック信号 $\text{CLK}$ を入力する各端子10a, 10bが接続されている。図2（g）に示されるように、パリティチェック15は、チップセレクト信号 $\overline{\text{CS}}$ がLレベルにある間において、当該フレーム内のデータが正常であると確認された場合のみ、デコーダ13の出力QのHレベルからLレベルへの移行に同期して所定時間だけ立ち上がるパリティラッチをその出力Qから第1及び第2出力バッファ17, 18に出力する。

## 【0028】

上記カウンタクリア16には、チップセレクト信号 $\overline{\text{CS}}$ 、クロック信号 $\text{CLK}$ 及びデコーダ13の出力Qが入力されている。図2（d）に示されるように、カウンタクリア16は、2回目のフレームの通信開始状態若しくはパケットの通信終了状態に同期してカウンタ12のカウントをクリアする。

## 【0029】

上記第1及び第2出力バッファ17, 18は、例えば7ビット出力レジスタであって、その各入力 $\text{D\_IN}[6:0]$ には、前記受信バッファ11の出力Q[7:0]（パリティビットを除く）がそれぞれ入力されている。また、上記第1及び第2出力バッファ17, 18には、データセクタ14の出力Q（信号D0若しくは信号D1）及びパリティチェック15の出力Q（パリティラッチ）が入力されている。

## 【0030】

第1出力バッファ17は、データセクタ14からの入力が信号D0であって、パリティチェック15から通信内容の正常状態（パリティラッチのLレベルからHレベルの立ち上がり）を入力した場合のみ、これに同期してその入力 $\text{D\_IN}[6:0]$ のビットデータ（RY0～RY6）をその出力Q[6:0]から前記データバス5に出力する。

## 【0031】

一方、第2出力バッファ18は、データセクタ14からの入力が信号D1であって、パリティチェック15から通信内容の正常状態（パリティラッチのLレ

ベルからHレベルの立ち上がり)を入力した場合のみ、これに同期してその入力D\_\_IN[6:0]のビットデータ(RY7~RY13)をその出力Q[6:0]から前記データバス5に出力する

以上詳述したように、本実施形態によれば、以下に示す効果が得られるようになる。

【0032】

(1) 本実施形態では、クロック信号SCLKに同期したカウンタ12及びデコーダ13による通信データのフレームの通信完了状態の出力に同期してパリティビットPによる通信内容のチェックを行うことができる。

【0033】

(2) 本実施形態では、チップセレクト信号\_\_CSによる活性状態の停止に同期してパリティビットPによる通信内容のチェックを行うことができる。

(3) 本実施形態では、入出力インターフェース4を外部からのクロック信号SCLK及びチップセレクト信号\_\_CSにより動作させられ、通信内容のチェックも併せ行える。従って、ECU1内部で必要なクロック数を最小限に抑制できる。そして、ECU1外部に漏出する高周波ノイズも低減することができる。

【0034】

また、このような入出力インターフェース4に対しては、外部の発振子3に接続して同期させて動作させる必要がないため、例えば発振子3との接続が外れることによる回路全体の動作不良の発生も回避できる。

【0035】

(4) 例えば、従来、ディスクリート部品にて構成していたスイッチ入力インターフェース回路、アナログセンサ入力インターフェース回路、モータ駆動回路、ランプ駆動回路などのアナログ回路を1つのICに集積化する。そのとき、マイコン2と外部装置との間の通信データの入出力をパラレル通信ではなく、シリアル通信を用いることで端子数を低減することができる。また、比較的小規模なデジタル回路で回路構成が可能であるので、例えばバイポーラトランジスタのみを利用したIC作成が可能であり、比較的低コストでICの作成が可能である。

【0036】

なお、本発明の実施の形態は上記実施形態に限定されるものではなく、次のように変更してもよい。

・前記実施形態において、データ区別信号の出力、通信内容のチェック（パリティラッチ）など全ての回路動作をクロック信号 S C L K に同期させて行うような回路構成を採用してもよい。例えば、図 4 はこのような回路構成に係る動作の一例を示すタイムチャートである。この例においても、データ R Y 0 ~ R Y 6 及びこれらデータ R Y 0 ~ R Y 6 に基づくパリティビット P からなる 8 ビットデータのフレームと、データ R Y 7 ~ R Y 1 3 及びこれらデータ R Y 7 ~ R Y 1 3 に基づくパリティビット P からなる 8 ビットデータのフレームとによって形成される 1 パケットの通信を行う。ただし、クロック信号 S C L K の L レベルから H レベルへの立ち上がりに同期して、1 回目のフレーム（データ R Y 0 ~ R Y 6 及びパリティ P）内のデータ数を「1」～「8」までカウント（図 4（d））するカウンタ 1 と、2 回目のフレーム（データ R Y 7 ~ R Y 1 3 及びパリティ P）内のデータ数を「1」～「8」までカウント（図 4（e））するカウンタ 2 とを備えている。これら各フレーム内のデータは、それぞれデータ 1 E N A B L E（図 4（f））及びデータ 2 E N A B L E（図 4（g））が H レベルにある間のみ、活性されて別々に処理されるようになっている。

#### 【 0 0 3 7 】

1 回目のフレームに対するパリティチェックは、通信内容が正常であった場合のみ、2 回目のフレームに対するクロック信号 S C L K の最初の立ち下がりに同期して所定時間だけ L レベルから H レベルに立ち上がる（図 4（h））。そして、1 回目のフレームに対するパリティチェックが H レベルにある間において、データ 1 出力許可信号はクロック信号 S C L K の次の立ち上がりに同期して活性される（図 4（j））。

#### 【 0 0 3 8 】

一方、2 回目のフレームに対するパリティチェックは、通信内容が正常であった場合のみ、次のパケットの 1 回目のフレームに対するクロック信号 S C L K の最初の立ち下がりに同期して所定時間だけ L レベルから H レベルに立ち上がる（図 4（i））。そして、2 回目のフレームに対するパリティチェックが H レベル

にある間において、データ 2 出力許可信号はクロック信号 S C L K の次の立ち上がりに同期して活性される（図 4（k））。

#### 【 0 0 3 9 】

これらデータ 1 出力許可信号、データ 2 出力許可信号がともに活性されている状態において、次のクロック信号 S C L K の立ち上がりに同期してデータの出力を実行する（図 4（l））。このような推移となるような回路構成を採用することで、前記実施形態の（3）及び（4）と同様の効果に加え、新たなフレームの通信開始状態の出力に同期してパリティビット P による通信内容のチェックを行うことができる。

#### 【 0 0 4 0 】

- ・前記実施形態においては、1 パケット内のフレームを 2 つとしたが、これは 1 つだけのフレームであってもよく、3 つ以上のフレームであってもよい。

- ・また、各フレーム内のビット数もパリティビットが含まれるのであればいくつでもよい。

#### 【 0 0 4 1 】

- ・前記実施形態においては、デジタル回路として構成したが、アナログ回路、若しくはアナログーデジタル混載の回路であってもよい。特に、外部部品を追加することなくアナログ回路だけの集積回路でも、外部の発振子 3 を使うことなくシリアル通信が可能のため、通信内容のチェックをしつつ、信頼性の高いシリアル通信が可能となる。

#### 【 0 0 4 2 】

- ・前記実施形態において採用した回路構成は一例である。

#### 【 0 0 4 3 】

#### 【発明の効果】

以上詳述したように、請求項 1 ～ 3 のいずれかに記載の発明では、回路動作クロックを持つことなくシリアル通信が可能で、通信内容のチェックも可能である。

#### 【図面の簡単な説明】

【図 1】 本発明の一実施形態を示すブロック図。

【図 2】 同実施形態の動作態様を示すタイムチャート。

【図 3】 同実施形態が適用される ECU のブロック図。

【図 4】 他の実施形態の動作態様を示すタイムチャート。

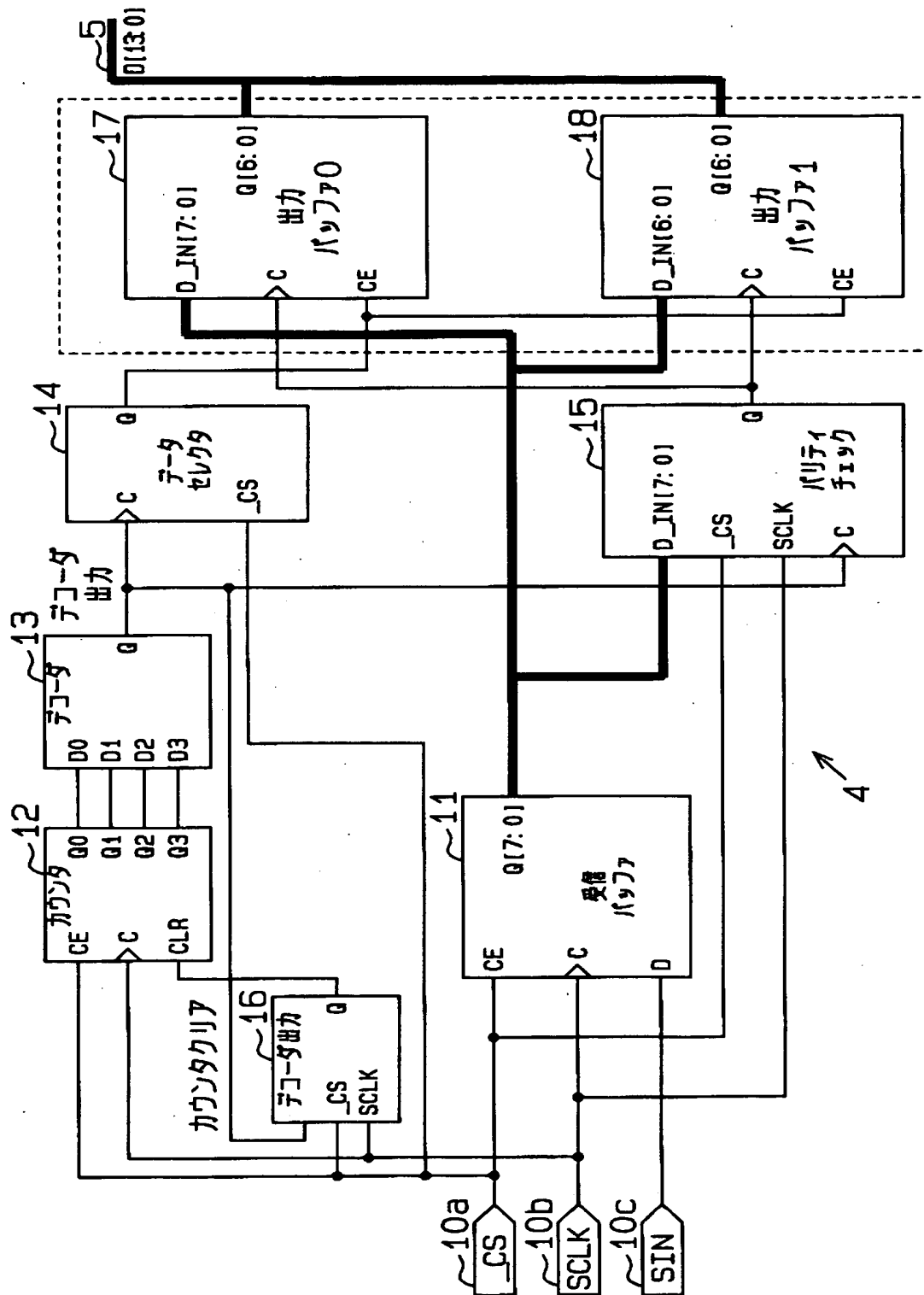
【符号の説明】

- 2   他の電子回路としてのマイコン
- 4   シリアル通信装置を構成する入出力インターフェース
  - 1 1  受信バッファ
  - 1 2  モニタ回路を構成するカウンタ
  - 1 3  モニタ回路を構成するデコーダ
  - 1 4  モニタ回路を構成するデータセレクタ
  - 1 5  チェック回路としてのパリティチェック
  - 1 6  モニタ回路を構成するカウンタクリア

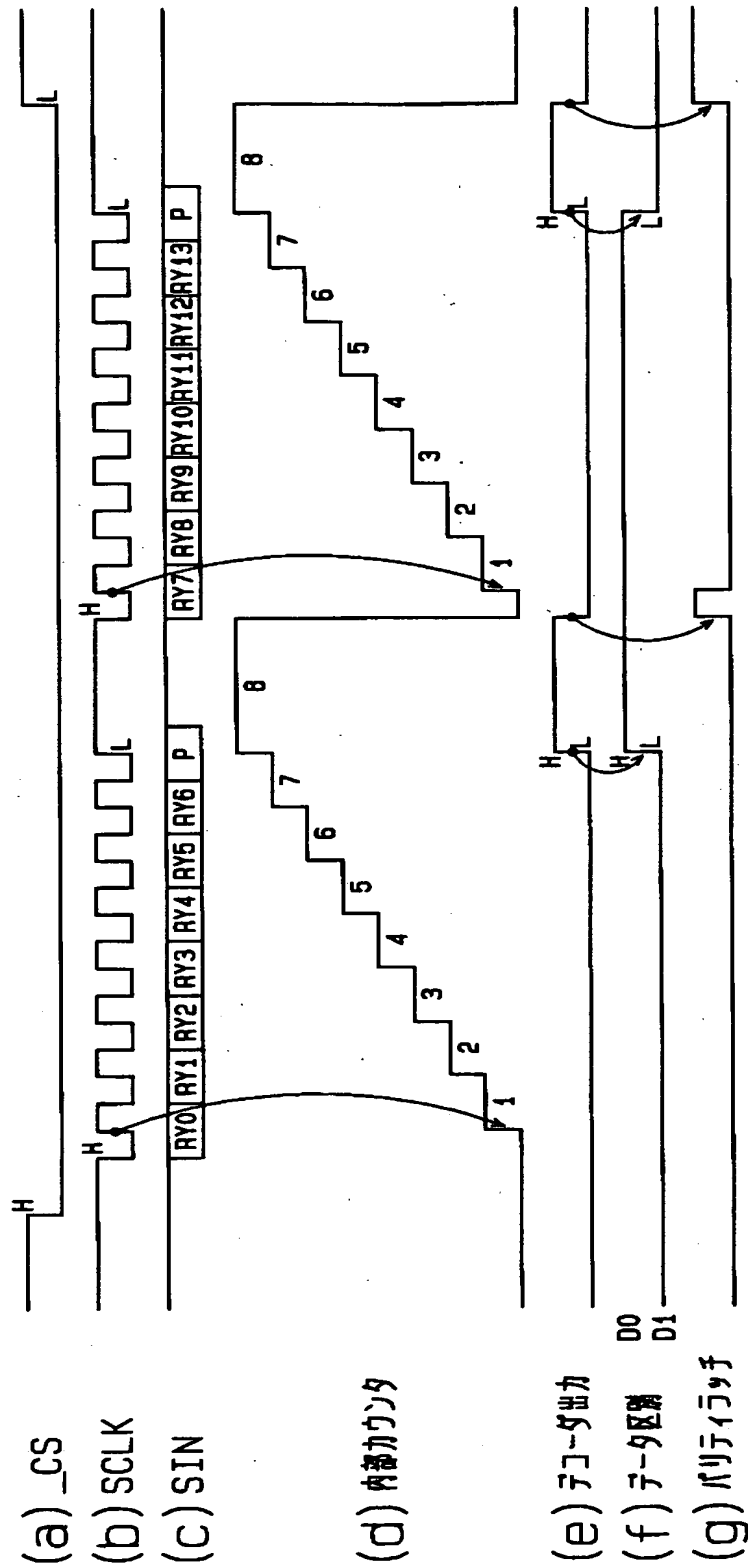


【書類名】 図面

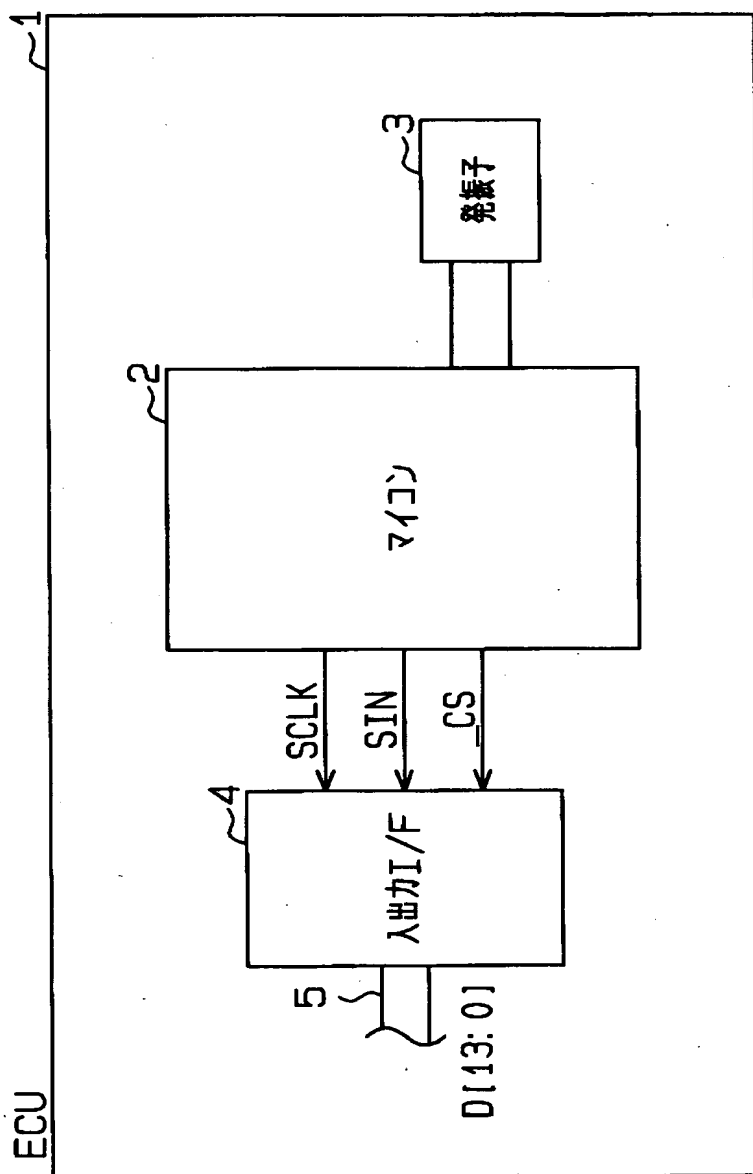
【図 1】



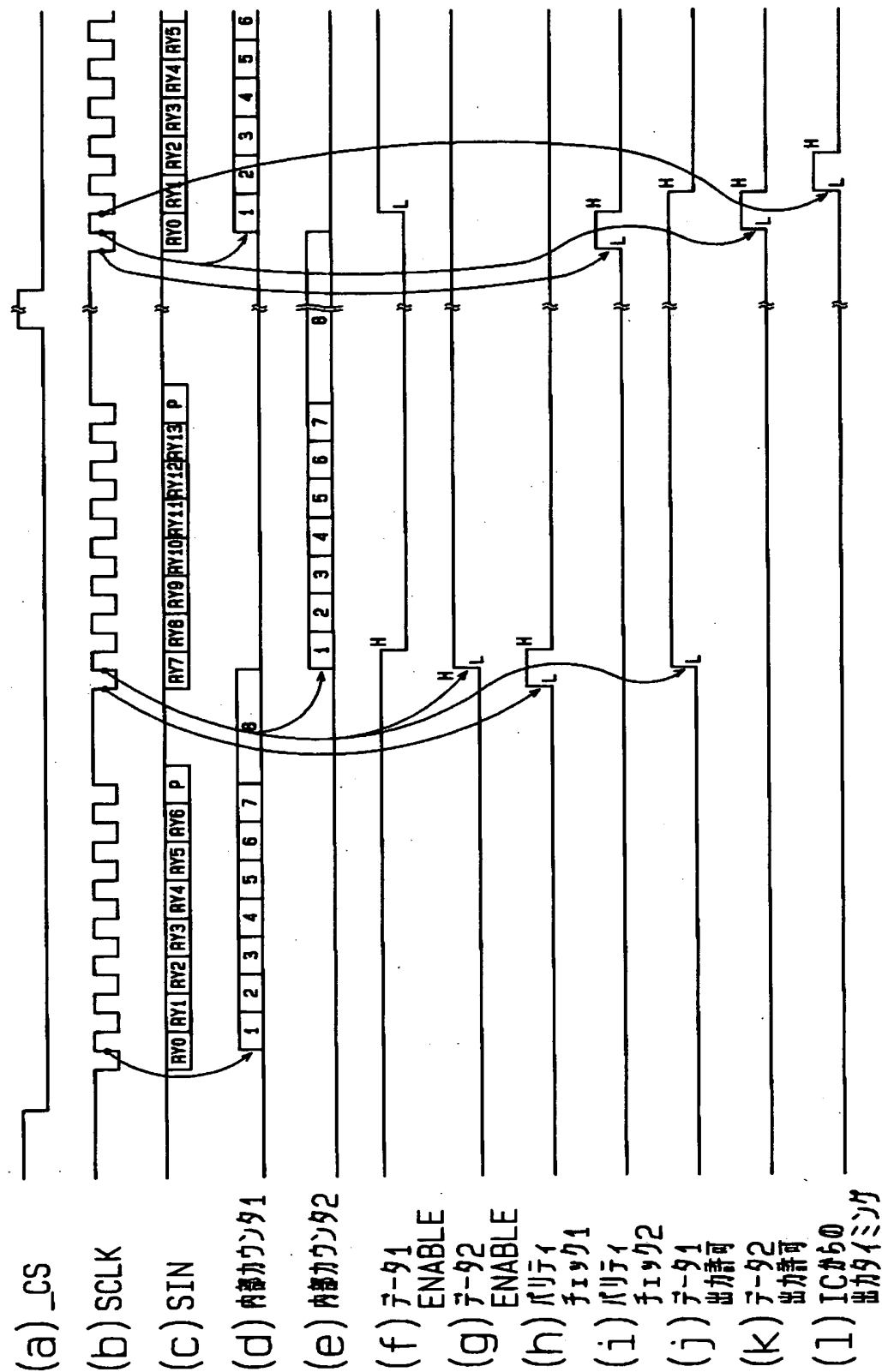
【図2】



【図 3】



【図4】



【書類名】 要約書

【要約】

【課題】 回路動作クロックを持つことなくシリアル通信が可能で、通信内容のチェックも可能なシリアル通信装置を提供する。

【解決手段】 入出力インターフェース4は、外部からのクロック信号SCLKを受け、これに同期してパリティビットPを含む所定ビット数の所定数のフレームからなる通信データSINを、他の電子回路との間でビットごとに通信する。パリティチェック15は、クロック信号SCLKに同期してモニタされた通信完了状態の出力に同期してパリティビットPによる通信内容のチェックを行う。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000000011]

1. 変更年月日 1990年 8月 8日  
[変更理由] 新規登録  
住 所 愛知県刈谷市朝日町2丁目1番地  
氏 名 アイシン精機株式会社